

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Yoshinori SHIMOSAKODA

New Application

Filed: July 6, 2001

Attorney Dkt. No.: 32011-173584

For: SYNCHRONIZATION CORRECTION CIRCUIT

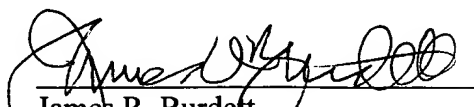
**SUBMISSION OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of Japanese Application No. 050135/2001 upon which a claim to priority was made under 35 U.S.C. §119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

Respectfully submitted,

  
James R. Burdett  
Registration No. 31,594

Venable  
Post Office Box 34385  
Washington, D.C. 20043-9998  
Telephone: (202) 962-4800  
Facsimile: (202) 962-8300

Date: July 6, 2001

JRB:lrh  
#299537



0H-562A



**PATENT OFFICE  
JAPANESE GOVERNMENT**

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: February 26, 2001  
Application Number: 2001-050135  
Applicant(s): Oki Electric Industry Co., Ltd.

Dated April 27, 2001

Commissioner,  
Patent Office Kozo Oikawa

Certificate No. 2001-3036436

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

J1036 U.S. PTO  
09/899055  
07/06/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月26日

出 願 番 号

Application Number:

特願2001-050135

出 願 人

Applicant(s):

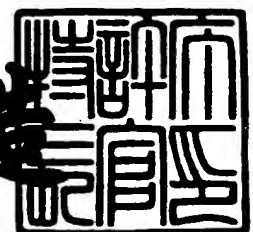
沖電気工業株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 4月27日

特許庁長官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3036436

【書類名】 特許願

【整理番号】 OH003649

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/56  
G06F 13/00

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社  
社内

【氏名】 下迫田 義則

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100085419

【弁理士】

【氏名又は名称】 大垣 孝

【手数料の表示】

【予納台帳番号】 012715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期補正回路

【特許請求の範囲】

【請求項 1】 設定周期にしたがって生成されたパケットを外部から順次受信し、これらのパケットの受信周期に同期させてパケット同期信号を生成する同期信号発生手段と、

前記パケットに含まれる各データの転送クロックを内部クロックに基づいて生成し、前記パケット同期信号の実際の周期が前記設定周期よりも長い場合は前記パケットの最後のデータに対応する前記転送クロックの周期を他のデータに対応する前記転送クロックの周期よりも長くし、且つ、前記パケット同期信号の実際の周期が前記設定周期よりも短い場合は前記パケットの最後のデータに対応する前記転送クロックの周期を他のデータに対応する前記転送クロックの周期よりも短くする、インタフェース制御手段と、

を備えることを特徴とする同期補正回路。

【請求項 2】 前記インタフェース制御手段が、

計測用クロックのクロック数を計数し、前記パケット同期信号によってリセットされる送信間隔カウンタと、

この送信間隔カウンタの計数結果を、前記設定周期に対応させて設定された比較値と比較し、この係数結果がこの比較値と一致したときに検出信号を出力する検出器と、

前記パケット同期信号を入力したタイミングで前記転送クロックの生成をリセットし、且つ、前記検出信号を入力したときに前記転送クロックの信号レベルを固定する、転送クロック生成部と、

を備えることを特徴とする請求項 1 に記載の同期補正回路。

【請求項 3】 前記検出器が、

前記送信間隔カウンタの計数結果を、複数種類の前記設定周期にそれぞれ対応する複数種類の前記比較値と比較するための、複数の第 1 送信間隔比較器と、

これら複数の第 1 送信間隔比較器の出力信号から、実際に選択されている設定周期に対応する前記第 1 送信間隔比較器の出力信号を選択して、前記検出信号と

して出力するタイプセレクトと、

を備えることを特徴とする請求項 2 に記載の同期補正回路。

【請求項 4】 前記検出器が、

前記送信間隔カウンタの計数結果を、複数種類の前記設定周期の公倍数に対応させて設定された前記比較値と比較し、比較結果を前記検出信号として出力する  
第 2 送信間隔比較器

を備えることを特徴とする請求項 2 に記載の同期補正回路。

【請求項 5】 前記検出器が、

前記比較値を格納する比較値レジスタと、

前記送信間隔カウンタの計数結果を、前記比較値レジスタに格納された前記比較値と比較するための第 3 送信間隔比較器と、

前記第 3 送信間隔比較器の出力を用いて、前記送信間隔カウンタの係数結果が前記比較値レジスタに格納された前記比較値に達した回数を係数する比較段数カウンタと、

比較段数を格納する比較段数レジスタと、

前記比較段数カウンタの係数結果を前記比較段数と比較し、比較結果を前記検出信号として出力する段数比較器と、

を備えることを特徴とする請求項 2 に記載の同期補正回路。

【請求項 6】 前記段数比較器が、前記比較結果を、中央処理装置への割り込み信号として出力することを特徴とする請求項 5 に記載の同期補正回路。

【請求項 7】 前記検出器が、前記パケット同期信号の平均周期を記憶する平均値記憶部と、

この平均値記憶部の記憶値と前記比較値レジスタに格納された前記比較値との一方を選択して前記第 3 送信間隔比較器に供給する比較値セレクトと、

を備えることを特徴とする請求項 5 に記載の同期補正回路。

【請求項 8】 前記転送クロック発生手段から入力された前記転送クロックを用いて、ワード単位で前記パケットの転送同期をとるための転送同期信号を生成する、転送同期信号生成手段をさらに備えることを特徴とする請求項 1 ～ 7 のいずれかに記載の同期補正回路。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は、パケットの受信周期と受信装置内の転送クロックとの同期を補正する同期補正回路に関する。この発明に係る同期補正回路は、例えば、ブルートゥース(Bluetooth)に準拠した音声データ処理回路に適用される。

## 【0002】

## 【従来の技術】

従来の同期補正回路について、ブルートゥースに準拠した音声データ処理回路に使用されるものを例に採って説明する。

## 【0003】

ブルートゥースとは、端末や装置間のデータ通信規格の一種である。この規格は、パーソナルコンピュータやプリンタ、携帯電話等の間で行われる、音声データをはじめとする様々なデータの通信に対応している。

## 【0004】

ブルートゥースでは、パケットを用いた通信が行われる。このうち、音声通信用のパケットとしては、図14に示したように、同期語(sync word)とペイロード部とからなるパケットが使用される。ここで、同期語は、受信側が、パケット送信間隔を判断するために使用される。また、ペイロード部には、音声データが格納される。1パケット分のペイロード部に格納することができる音声データ量としては、10バイト、20バイト、30バイトの3タイプがある。ブルートゥースでは、これら各タイプのパケット送信間隔を、それぞれ、1.25ms、2.5ms、3.75msと規定している。

## 【0005】

ブルートゥースでは、通信端末等の一方をマスタとし、他方をスレーブとして、双方向のデータ通信を時分割で行う。すなわち、マスタとなった端末等がパケット送信間隔を決定し、スレーブとなった端末等はこれに同期させて通信を行う。マスタ/スレーブは、通信の度に、適当な方法で決定される。図15は、ブルートゥースの通信方式を説明するための概念図である。図15において、(A)

は、タイプIすなわちペイロード部が10バイトでパケット送信間隔が1.25msの場合、(B)は、タイプIIすなわちペイロード部が20バイトでパケット送信間隔が2.5msの場合、(C)は、タイプIIIすなわちペイロード部が30バイトでパケット送信間隔が3.75msの場合を示している。

## 【0006】

図16は、従来のブルトウス用音声データ処理回路の構成を示すブロック図である。図16に示したように、この音声データ処理回路1600は、ベースバンド処理部1610と、音声データ変換部1620とを備えている。これら各部1610、1620は、それぞれ、バス1630を介して、CPU(Central Processing Unit)1640に接続されている。ベースバンド処理部1610は、受信時には、パケットからペイロード部を切り出して、音声データ変換部1620に送り、また、送信時には、音声データ変換部1620から受け取った音声データを送信するためのパケットを生成する。音声データ変換部1620は、受信時には、ベースバンド処理部1610から受け取った音声データを必要に応じて変換して、後段のPCM(Pulse Code Modulation)コーデックインタフェース回路に送り、また、送信時には、PCMコーデックインタフェース回路から受け取った音声データを必要に応じて逆変換し、ベースバンド処理部1610に送る。ブルトウスは、CVSD(Continuous Variable Slope Data modulation)、A-law、 $\mu$ -lawの、三種類の音声データ形式に対応している。これに対して、PCMコーデックインタフェース回路は、Linear、A-law、 $\mu$ -lawの、三種類の音声データ形式に対応している。

## 【0007】

音声データ変換部1620とPCMコーデックインタフェース回路との間のデータ送受信には、転送同期信号PCMSYNCと転送クロックPCMCLKとが使用される。図17は、8ビット/1ワードのモノラルデータを8kHzでサンプリングする場合を示している。図17に示したように、転送同期信号PCMSYNCは、各ワードの転送周期を規定し、また、転送クロックPCMCLKは、音声データ(PCMデータ)を構成する各ビットの転送タイミングを規定する。なお、1ワードは、16ビットであってもよい。転送同期信号PCMSYNCの



周期が 8 k H z の場合、転送クロック P C M C L K の周期は、6 4 k H z 以上（8 ビット／1 ワードの場合）または 1 2 8 k H z 以上（1 6 ビット／1 ワードの場合）である。

【 0 0 0 8 】

通常、転送クロック P C M C L K は、音声データ処理回路 1 6 0 0 のシステムクロックを用いて生成される。また、転送同期信号 P C M S Y N C は、この転送クロック P C M C L K を用いて生成される。

【 0 0 0 9 】

【発明が解決しようとする課題】

上述のような音声データ処理回路 1 6 0 0（図 1 6 参照）を用いた通信では、パケットの送信周期は、送信側回路（すなわち、パケットを生成する側の回路）の転送同期信号 P C M S Y N C を用いて設定される。したがって、このパケットに格納された P C M データ（図 1 7 参照）の送信周期も、送信側の転送同期信号 P C M S Y N C に同期させて決定される。一方、受信側端末で使用する転送同期信号 P C M S Y N C は、受信側回路 1 6 0 0 内で生成される。すなわち、図 1 7 において、P C M データは送信側音声データ処理回路 1 6 0 0 のシステムクロックに同期するように生成されているのに対し、転送同期信号 P C M S Y N C および転送クロック P C M C L K は受信側音声データ処理回路 1 6 0 0 のシステムクロックに同期するように生成されている。

【 0 0 1 0 】

ここで、通信を行う 2 個の音声データ処理回路 1 6 0 0 が、完全に同一の動作周波数で動作している場合、図 1 7 の P C M データと転送同期信号 P C M S Y N C とは、完全に同期する状態になる。しかしながら、現実には、受信側回路 1 6 0 0 と送信側回路 1 6 0 0 とで動作周波数が異なる場合が多い。両回路 1 6 0 0、1 6 0 0 の動作周波数が異なる場合、P C M データが、動作クロック P C M C L K および転送同期信号 P C M S Y N C と、完全には同期しないことになる。

【 0 0 1 1 】

図 1 8 は、マスタおよびスレーブの転送同期信号 P C M S Y N C が一致しない状態の一例を概念的に示すタイミングチャートである。図 1 8 の例では、マスタ

側で生成された転送同期信号 PCMSYNC の周波数が、スレーブ側で生成された転送同期信号 PCMSYNC の周波数よりも、高い。したがって、スレーブ側では、受信した PCM データの周波数が、転送同期信号 PCMSYNC の周波数と比較して、高すぎる状態になる。これにより、スレーブ側では、受信した PCM データを音声データ変換部 1620 から PCM コーデックインタフェース回路に転送する際に、アンダーフローが発生する。一方、マスタ側では、受信した PCM データの周波数が、転送同期信号 PCMSYNC の周波数と比較して、低すぎる状態になる。これにより、マスタ側では、受信した PCM データを音声データ変換部 1620 から PCM コーデックインタフェース回路に転送する際に、オーバーフローが発生する。PCM データを音声データ変換部 1620 から PCM コーデックインタフェース回路に転送する際に、アンダーフローやオーバーフローが発生すると、結果的に、通信音質が低下する。

#### 【0012】

このような理由から、マスタ／スレーブ間の同期ずれを補正する技術が囑望されていた。

#### 【0013】

##### 【課題を解決するための手段】

この発明にかかる同期補正回路は、設定周期にしたがって生成されたパケットを外部から順次受信し、これらのパケットの受信周期に同期させてパケット同期信号を生成する同期信号発生手段と、パケットに含まれる各データの転送クロックを内部クロックに基づいて生成し、パケット同期信号の実際の周期が設定周期よりも長い場合はパケットの最後のデータに対応する転送クロックの周期を他のデータに対応する転送クロックの周期よりも長くし、且つ、パケット同期信号の実際の周期が設定周期よりも短い場合はパケットの最後のデータに対応する転送クロックの周期を他のデータに対応する転送クロックの周期よりも短くする、インタフェース制御手段とを備える。

#### 【0014】

このような構成によれば、パケットの受信周期に同期するように、転送クロックの周期を補正することができる。

【 0 0 1 5 】

## 【発明の実施の形態】

以下、この発明の実施の形態について、図面を用いて説明する。なお、図中、各構成成分の大きさ、形状および配置関係は、本発明が理解できる程度に概略的に示してあるにすぎず、また、以下に説明する数値的条件は単なる例示にすぎない。

【 0 0 1 6 】

第 1 の実施の形態

以下、この発明の第 1 の実施の形態に係る同期補正回路について、ブルートゥース用音声データ処理回路に適用された場合を例に採り、図 1 ～図 5 を用いて説明する。

【 0 0 1 7 】

図 1 は、この実施の形態に係る音声データ処理回路の構成を示すブロック図である。図 1 に示したように、この音声データ処理回路 1 0 0 は、ベースバンド処理部 1 1 0 と、音声データ変換部 1 2 0 と、インタフェース制御部 1 3 0 と、CPU バス 1 4 0 と、CPU 1 5 0 とを備えている。

【 0 0 1 8 】

ベースバンド処理部 1 1 0 は、受信パケットの同期語（図 1 4 参照）を検出する度に、かかる受信パケットからペイロード部を切り出して、音声データ変換部 1 2 0 に送る。また、ベースバンド処理部 1 1 0 は、音声データ変換部 1 2 0 から受け取った音声データを用いて、送信パケットを生成する。加えて、ベースバンド処理部 1 1 0 は、同期信号発生部 1 1 1 を備えている。同期信号発生部 1 1 1 は、受信パケットの同期語を検出した周期と同一周期の、パケット同期信号 P SYNC を生成する。

【 0 0 1 9 】

音声データ変換部 1 2 0 は、パケットの受信時に、ベースバンド処理部 1 1 0 から受け取った音声データを必要に応じて変換して、インタフェース制御部 1 3 0 に送る。また、音声データ変換部 1 2 0 は、パケットの送信時に、インタフェース制御部 1 3 0 から受け取った音声データを必要に応じて逆変換し、ベースバ

ンド処理部110に送る。音声データ変換部120が変換および逆変換できるデータ形式は、例えば、従来の音声データ処理回路の場合と同じである。

#### 【0020】

インタフェース制御部130は、同期信号発生部111から入力されたパケット同期信号PSYNCを用いて、転送クロックPCMCLKおよび転送同期信号PCMSYNCを生成する。転送クロックPCMCLKおよび転送同期信号PCMSYNCは、図示しないPCMコーデックインタフェース回路に送られる。また、インタフェース制御部130は、PCMコーデックインタフェース回路との間で、音声データ（PCMデータ）の送受信を行う。PCMコーデックインタフェース回路は、パケットの送信時および受信時の両方で、転送クロックPCMCLKおよび転送同期信号PCMSYNCを使用する。

#### 【0021】

なお、同期信号発生部111とインタフェース制御部130とにより、この実施の形態に係る同期補正回路が構成される。

#### 【0022】

図2は、インタフェース制御部130の要部構成を示すブロック図である。図2のインタフェース制御部130は、送信間隔カウンタ201と、3個の比較器202、203、204と、タイプセクタ205と、転送クロック生成部206と、転送同期信号生成部107とを備えている。

#### 【0023】

送信間隔カウンタ201は、計測用クロックMCLKのクロック数を計数し、計数値CNTを出力する。また、送信間隔カウンタ201は、検出信号Sdがハイレベルのときに計数を停止し、パケット同期信号PSYNCを入力したときに計数値をリセットする。この実施の形態では、計測用クロックの周波数を1MHzとする。

#### 【0024】

比較器202は、一方の入力端子から計数値CNTを入力し、他方の入力端子から数値「1250」（タイプIのパケット間隔、すなわち1250 $\mu$ sに対応する）を入力する。そして、両入力値が一致していないときはローレベル信号を

出力し、両入力値が一致しているときはハイレベル信号を出力する。同様に、比較器 2 0 3 は、一方の入力端子から計数値 C N T を入力し且つ他方の入力端子から数値「2 5 0 0」（タイプ II のパケット間隔に対応する）を入力して、両入力値が一致しているときにのみハイレベル信号を出力する。また、比較器 2 0 4 は、一方の入力端子から計数値 C N T 且つ他方の入力端子から数値「3 7 5 0」（タイプ III のパケット間隔に対応する）を入力して、両入力値が一致しているときにのみハイレベル信号を出力する。

## 【 0 0 2 5 】

タイプセクタ 2 0 5 は、比較器 2 0 2, 2 0 3, 2 0 4 の出力信号から、いずれかを選択する。タイプセクタ 2 0 5 が選択する比較器は、通信に使用されているパケットのタイプ（タイプ I、II、III のいずれか）に応じて、C P U 1 5 0 などの制御により決定される。通信に使用されているパケットのタイプは、マスタからスレーブに送信され、例えば C P U 1 5 0 に取り込まれる。

## 【 0 0 2 6 】

転送クロック生成部 2 0 6 は、パケット同期信号 P S Y N C の入力タイミングに同期させて転送クロック P C M C L K を生成し、後段の P C M コーデックインタフェース回路（図示せず）に出力する。例えば、1 パケットが 8 ビット×1 0 ワードの場合、パケット同期信号 P S Y N C の  $1/80$  の周期を有する転送クロック P C M C L K が、生成される。転送クロック生成部 2 0 6 は、次のパケット同期信号 P S Y N C が入力されたときには、そのクロック生成をリセットして、新しいパケット同期信号 P S Y N C に同期した転送クロック P C M C L K の生成を開始する。また、転送クロック生成部 2 0 6 は、タイプセクタ 2 0 5 の出力がハイレベルのときは、転送クロック P C M C L K をローレベルに固定する。

## 【 0 0 2 7 】

転送同期信号生成部 2 0 7 は、転送クロック P C M C L K から転送同期信号 P C M S Y N C を生成し、後段の P C M コーデックインタフェース回路に出力する。例えば、1 ワードが 8 ビットの場合、転送同期信号生成部 2 0 7 は、転送クロック P C M C L K を 8 個入力する度に、転送同期信号 P C M S Y N C を 1 個生成して出力する。

## 【 0 0 2 8 】

次に、この実施の形態に係る同期補正回路の動作について、図 3 ～図 5 を用いて説明する。

## 【 0 0 2 9 】

音声データ処理回路 1 0 0 は、マスタとして動作する場合には、この実施の形態に係る同期補正回路 1 1 1, 1 3 0 を使用しない。すなわち、マスタとして動作する音声データ処理回路 1 0 0 では、同期信号発生部 1 1 1 は、パケット同期信号 P S Y N C を生成しない。転送クロック P C M C L K および転送同期信号 P C M S Y N C は、従来と同様に生成される。

## 【 0 0 3 0 】

一方、音声データ処理回路 1 0 0 は、スレーブとして動作する場合には、同期補正回路 1 1 1, 1 3 0 を使用して、転送クロック P C M C L K および転送同期信号 P C M S Y N C を生成する。以下、パケットの送受信間隔が 1 2 5 0  $\mu$  s の場合を例に採って説明する。

## 【 0 0 3 1 】

図 3 は、マスタ・スレーブ間で動作周波数が一致する場合の、インタフェース制御部 1 3 0 の動作を示すタイミングチャートである。

## 【 0 0 3 2 】

送信間隔カウンタ 2 0 1 は、パケット同期信号 P S Y N C の立ち上がりタイミングでリセットされ、測定用クロック M C L K の新たな計数を開始する。計数値 C N T は、順次、比較器 2 0 2, 2 0 3, 2 0 4 に送られる。

## 【 0 0 3 3 】

比較器 2 0 2, 2 0 3, 2 0 4 は、上述したように、この計数値 C N T を設定値 1 2 5 0, 2 5 0 0 または 3 7 5 0 と比較する。計数値 C N T が設定値に達していない場合、各比較器 2 0 2, 2 0 3, 2 0 4 の出力はローレベルである。

## 【 0 0 3 4 】

タイプセクタ 2 0 5 は、比較器 2 0 2 の出力を選択して、転送クロック生成部 2 0 6 に送る。

## 【 0 0 3 5 】

転送クロック生成部206は、タイプセクタ205からの入力がローレベルのとき、所定周期の転送クロックPCMCCLKを生成して、出力する。

## 【0036】

また、このとき、転送同期信号生成部207は、転送クロックPCMCCLKのクロック数が1ワードのビット数分に達するたびに、転送同期信号PCMSYNCを出力する。

## 【0037】

図3の例ではマスタ・スレーブ間で動作周波数が一致しているので、送信間隔カウンタ201の計数值CNTが「1249」に達したとき（すなわち、測定用クロックMCLKのクロック数が1250個に達したとき）、次のパケット同期信号PSYNCが、送信間隔カウンタ201に入力される。これにより、送信間隔カウンタ201の計数值CNTがリセットされる。そして、送信間隔カウンタ201は、「0」からの計数を再開する。

## 【0038】

以下、同様にして、インタフェース制御部130は、転送クロックPCMCCLKおよび転送同期信号PCMSYNCの生成・出力を繰り返す。

## 【0039】

図4は、スレーブの動作周波数がマスタの動作周波数よりも高い場合の、インタフェース制御部130の動作を示すタイミングチャートである。

## 【0040】

計数開始直後の動作は、図3の場合と同様である。すなわち、送信間隔カウンタ201が測定用クロックMCLKの計数值CNTを順次出力し、比較器202, 203, 204が計数值CNTを設定値と比較し、タイプセクタ205が比較器202の出力を選択して転送クロック生成部206に送る。転送クロック生成部206は、タイプセクタ205からの入力がローレベルの間は、所定周期の転送クロックPCMCCLKを生成・出力する。

## 【0041】

ここで、測定用クロックMCLKはスレーブ内のシステムクロック同期しているのに対し、パケット同期信号PSYNCはマスタ内のシステムクロックに同期

している。したがって、スレーブの動作周波数がマスタの動作周波数よりも高い場合には、次のパケット同期信号 P S Y N C が入力される前に、送信間隔カウンタ 2 0 1 の計数值 C N T が「1 2 5 0」に達する。これにより、比較器 2 0 2 の出力はハイレベルになり、したがって、タイプセクタ 2 0 5 の出力 S d もハイレベルになる。送信間隔カウンタ 2 0 1 は、信号 S d がハイレベルに変化すると、計数を停止する。これにより、計数值 C N T は、「1 2 5 0」のまま、変化しなくなる。また、転送クロック生成部 2 0 6 は、信号 S d がハイレベルになると、転送クロック P C M C L K を、ローレベルに固定する。

## 【 0 0 4 2 】

その後、次のパケット同期信号 P S Y N C が入力されると、送信間隔カウンタ 2 0 1 の計数はリセットされて計数值 C N T が「0」になり、したがって、信号 S d はローレベルになる。これにより、転送クロック生成部 2 0 6 は、このパケット同期信号 P S Y N C の入力タイミングにしたがって、転送クロック P C M C L K の生成を再開する。

## 【 0 0 4 3 】

このように、スレーブの動作周波数がマスタの動作周波数よりも高い場合には、そのワードの最後のデータに対応する転送クロック P C M C L K のローレベル期間を長くすることによって、転送クロック P C M C L K の周期が補正される。転送同期信号生成部 2 0 7 は、この転送クロック P C M C L K を用いて、転送同期信号 P C M S Y N C を生成する。

## 【 0 0 4 4 】

以下、同様にして、インタフェース制御部 1 3 0 は、転送クロック P C M C L K および転送同期信号 P C M S Y N C の生成・出力を繰り返す。

## 【 0 0 4 5 】

図 5 は、スレーブの動作周波数がマスタの動作周波数よりも低い場合の、インタフェース制御部 1 3 0 の動作を示すタイミングチャートである。

## 【 0 0 4 6 】

計数開始直後の動作は、図 3 の場合と同様である。

## 【 0 0 4 7 】



スレーブの動作周波数がマスタの動作周波数よりも低い場合には、送信間隔カウンタ 2 0 1 の計数值 CNT が「1 2 4 9」に達する前（すなわち、パケット同期信号 P S Y N C の入力から 1 2 5 0  $\mu$  s 経過する前）に、次のパケット同期信号 P S Y N C が入力される。この場合、転送クロック生成部 2 0 6 では、このパケット同期信号 P S Y N C の入力タイミングにしたがって、転送クロック P C M C L K のレベルがハイレベルに立ち上げられる。

【 0 0 4 8 】

このように、スレーブの動作周波数がマスタの動作周波数よりも低い場合には、そのワードの最後のデータに対応する転送クロック P C M C L K のローレベル期間を短くすることによって、転送クロック P C M C L K の周期が補正される。その後、転送同期信号生成部 2 0 7 が、この転送クロック P C M C L K を用いて、転送同期信号 P C M S Y N C を生成する。

【 0 0 4 9 】

以下、同様にして、インタフェース制御部 1 3 0 は、転送クロック P C M C L K および転送同期信号 P C M S Y N C の生成・出力を繰り返す。

【 0 0 5 0 】

以上説明したように、この実施の形態に係る同期補正回路によれば、パケット同期信号 P S Y N C の周期すなわちマスタからのパケットの受信周期と同期するように、転送クロック P C M C L K および転送同期信号 P C M S Y N C の周期を補正することができる。したがって、この実施の形態によれば、ブルートゥースで通信する音声データの音質を向上させることができる。

【 0 0 5 1 】

## 第 2 の実施の形態

次に、この発明の第 2 の実施の形態に係る同期補正回路について、図 6 および図 7 を用いて説明する。

【 0 0 5 2 】

図 6 は、この実施の形態に係る音声データ処理回路の構成を示すブロック図である。同図において、図 1 と同じ符号を付した構成要素は、それぞれ、図 1 の場合と同じものを示している。この実施の形態に係る音声データ処理回路 6 0 0 で

は、ベースバンド処理部 1 1 0 内に設けられた同期信号発生部 6 0 1 の構成と、インタフェース制御部 6 1 0 の構成とが、第 1 の実施の形態に係る音声データ処理回路 1 0 0 と異なる。

#### 【 0 0 5 3 】

同期信号発生部 6 0 1 は、第 1 の実施の形態と同様、受信パケットの同期語を検出する周期を用いて、パケット同期信号 P S Y N C を生成する。但し、この実施の形態では、1 パケットの受信周期に同期させてパケット同期信号 P S Y N C を生成するのではなく、7 5 0 0  $\mu$  s 毎にパケット同期信号 P S Y N C を生成する。ここで、7 5 0 0  $\mu$  s とは、パケット送信のタイプ I、II、III の送信間隔である 1 2 5 0  $\mu$  s、2 5 0 0  $\mu$  s、3 7 5 0  $\mu$  s の最小公倍数である。すなわち、この実施の形態では、通信されるパケットがタイプ I（パケット送信周期が 1 2 5 0  $\mu$  s）の場合には 6 パケット分の受信周期に同期させてパケット同期信号 P S Y N C を生成し、通信されるパケットがタイプ II（パケット送信周期が 2 5 0 0  $\mu$  s）の場合には 3 パケット分の受信周期に同期させてパケット同期信号 P S Y N C を生成し、通信されるパケットがタイプ III（パケット送信周期が 3 7 5 0  $\mu$  s）の場合には 2 パケット分の受信周期に同期させてパケット同期信号 P S Y N C を生成する。

#### 【 0 0 5 4 】

インタフェース制御部 6 1 0 は、第 1 の実施の形態に係るインタフェース制御部 1 3 0 と同様、パケット同期信号 P S Y N C を用いて、転送クロック P C M C L K および転送同期信号 P C M S Y N C を生成し、後段の P C M コーデックインタフェース回路（図示せず）に送る。後述するように、この実施の形態に係るインタフェース制御部 6 1 0 は、比較器が 1 個である点で、第 1 の実施の形態に係るインタフェース制御部 1 3 0 と異なる。

#### 【 0 0 5 5 】

なお、同期信号発生部 6 0 1 とインタフェース制御部 6 1 0 とにより、この実施の形態に係る同期補正回路が構成される。

#### 【 0 0 5 6 】

図 7 は、インタフェース制御部 6 1 0 の要部構成を示すブロック図である。

図 7 のインタフェース制御部 6 1 0 は、送信間隔カウンタ 7 0 1 と、比較器 7 0 2 と、転送クロック生成部 7 0 3 と、転送同期信号生成部 7 0 4 とを備えている。

#### 【 0 0 5 7 】

送信間隔カウンタ 7 0 1 は、第 1 の実施の形態に係る送信間隔カウンタ 2 0 1 と同様、検出信号 S d がローレベルのときに、計測用クロック M C L K（例えば 1 M H z）のクロック数を計数して計数値 C N T を出力する。また、送信間隔カウンタ 2 0 1 は、検出信号 S d がハイレベルのときに計数を停止し、パケット同期信号 P S Y N C を入力したときに計数値をリセットする。

#### 【 0 0 5 8 】

比較器 7 0 2 は、一方の入力端子から計数値 C N T を入力し、他方の入力端子から数値「7 5 0 0」を入力する。そして、両入力値が一致していないときはローレベル信号を出力し、両入力値が一致しているときはハイレベル信号を出力する。

#### 【 0 0 5 9 】

転送クロック生成部 7 0 3 は、第 1 の実施の形態に係る転送クロック生成部 2 0 6 と同様、パケット同期信号 P S Y N C の入力タイミングに同期させて転送クロック P C M C L K を生成し、次のパケット同期信号 P S Y N C が入力されたときにはクロック生成をリセットして新しいパケット同期信号 P S Y N C に同期した転送クロック P C M C L K の生成を開始し、且つ、信号 S d がハイレベルのときは転送クロック P C M C L K をローレベルに固定する。

#### 【 0 0 6 0 】

転送同期信号生成部 7 0 4 は、第 1 の実施の形態に係る転送同期信号生成部 2 0 7 と同様、転送クロック P C M C L K から転送同期信号 P C M S Y N C を生成して出力する。

#### 【 0 0 6 1 】

上述のように、この実施の形態に係る同期補正回路 6 0 1，6 1 0 では、7 5 0 0  $\mu$  s 毎に、転送クロック P C M C L K のクロック幅が補正される。すなわち、通信されるパケットがタイプ I の場合には、6 パケット分の転送クロック P C

MCLKに1個の割合で、同期補正が行われる。また、通信されるパケットがタイプIIの場合には、3パケット分の転送クロックPCCLKに1個の割合で、同期補正が行われる。同様に、通信されるパケットがタイプIIIの場合には、2パケット分の転送クロックPCCLKに1個の割合で、同期補正が行われる。マスタ・スレーブ間の同期ずれが非常に小さい場合には、このような周期で同期補正を行っても、十分に精度の高い同期を得ることができる。

#### 【0062】

以上説明したように、この実施の形態に係る同期補正回路によれば、パケット同期信号PSYNCの周期すなわちマスタからのパケットの受信周期と同期するように、転送クロックPCCLKおよび転送同期信号PCMSYNCの周期を補正することができる。したがって、この実施の形態によれば、ブルートゥースで通信する音声データの音質を向上させることができる。

#### 【0063】

また、この実施の形態に係る同期補正回路は、比較器が1個であり、且つ、タイプセクタが不要なので、第1の実施の形態に係る同期補正回路よりも回路規模が小さく、且つ、消費電力が少ない。

#### 【0064】

#### 第3の実施の形態

次に、この発明の第3の実施の形態に係る同期補正回路について、図8および図9を用いて説明する。

#### 【0065】

図8は、この実施の形態に係る音声データ処理回路の構成を示すブロック図である。図8において、図1と同じ符号を付した構成要素は、それぞれ、図1の場合と同じものを示している。この実施の形態に係る音声データ処理回路800では、インタフェース制御部810の構成が、第1の実施の形態に係る音声データ処理回路100と異なる。

#### 【0066】

インタフェース制御部810は、パケット同期信号PSYNCを用いて、転送クロックPCCLKおよび転送同期信号PCMSYNCを生成する。この実施

の形態のインタフェース制御部 8 1 0 は、CPU 1 5 0 から、比較値 C と、段数 F とを入力する。ここで、比較値 C とは、マスタによって指定されたパケット送信間隔であり、タイプ I の場合は「1 2 5 0」、タイプ II の場合は「2 5 0 0」、タイプ III の場合は「3 7 5 0」である。段数 F とは、同期補正の実行頻度を示す値である。すなわち、この実施の形態に係るインタフェース制御部 8 1 0 は、F 個のパケット同期信号 P S Y N C を入力する度に同期補正を行う。

#### 【0 0 6 7】

なお、同期信号発生部 1 1 1 とインタフェース制御部 8 1 0 とにより、この実施の形態に係る同期補正回路が構成される。

#### 【0 0 6 8】

図 9 は、インタフェース制御部 8 1 0 の要部構成を示すブロック図である。図 9 のインタフェース制御部 8 1 0 は、送信間隔カウンタ 9 0 1 と、比較値レジスタ 9 0 2 と、送信間隔比較器 9 0 3 と、比較段数カウンタ 9 0 4 と、段数レジスタ 9 0 5 と、段数比較器 9 0 6 と、転送クロック生成部 9 0 7 と、転送同期信号生成部 9 0 8 とを備えている。

#### 【0 0 6 9】

送信間隔カウンタ 9 0 1 は、計測用クロック M C L K（例えば 1 M H z）のクロック数を計数して計数値 C N T を出力し、検出信号 S d がハイレベルのときに計数を停止し、パケット同期信号 P S Y N C を入力したときに計数値をリセットする。

#### 【0 0 7 0】

比較値レジスタ 9 0 2 は、CPU 1 5 0 から入力された比較値 C を、保持する。

#### 【0 0 7 1】

比較器 9 0 3 は、一方の入力端子から計数値 C N T を入力し、他方の比較値レジスタの格納値（すなわち比較値 C）を入力する。そして、両入力値が一致していないときはローレベル信号を出力し、両入力値が一致しているときはハイレベル信号を出力する。

#### 【0 0 7 2】

比較段数カウンタ 9 0 4 は、比較器 9 0 3 の出力がローレベルからハイレベルに立ち上がった回数、すなわち計数值 C N T が比較値 C に達した回数を、計数する。

【 0 0 7 3 】

段数レジスタ 9 0 5 は、C P U 1 5 0 から入力された段数 F を、保持する。

【 0 0 7 4 】

段数比較器 9 0 6 は、比較段数カウンタ 9 0 4 の出力値と、段数カウンタ 9 0 4 の格納値すなわち段数 F とを、入力する。両入力値が一致していないときはローレベル信号を出力し、両入力値が一致しているときはハイレベル信号を出力する。段数比較器 9 0 6 の出力値は、検出信号 S d として、転送クロック生成部 9 0 7 および送信間隔カウンタ 9 0 1 に送られる。

【 0 0 7 5 】

転送クロック生成部 9 0 7 は、第 1 の実施の形態に係る転送クロック生成部 2 0 6 と同様、パケット同期信号 P S Y N C の入力タイミングに同期させて転送クロック P C M C L K を生成し、次のパケット同期信号 P S Y N C が入力されたときにはクロック生成をリセットして新しいパケット同期信号 P S Y N C に同期した転送クロック P C M C L K の生成を開始し、且つ、信号 S d がハイレベルのときは転送クロック P C M C L K をローレベルに固定する。

【 0 0 7 6 】

転送同期信号生成部 9 0 8 は、第 1 の実施の形態に係る転送同期信号生成部 2 0 7 と同様、転送クロック P C M C L K から転送同期信号 P C M S Y N C を生成し、P C M コーデックインタフェース回路に出力する。

【 0 0 7 7 】

次に、この実施の形態に係る同期補正回路の動作を説明する。

【 0 0 7 8 】

まず、音声データ処理回路 8 0 0 の初期設定として、比較値 C および段数 F が C P U 1 5 0 から入力され、レジスタ 9 0 2, 9 0 5 に格納される。

【 0 0 7 9 】

次に、送信間隔カウンタ 9 0 1 が、計数を開始する。送信間隔カウンタ 9 0 1

は、パケット同期信号 P S Y N C の立ち上がりタイミングでリセットされ、測定用クロック M C L K の新たな計数を開始する。計数値 C N T は、送信間隔比較器 9 0 3 に送られる。

【 0 0 8 0 】

送信間隔比較器 9 0 3 は、計数値 C N T を比較値 C と比較する。計数値 C N T が比較値に達していない場合、比較器 9 0 3 の出力はローレベルである。

【 0 0 8 1 】

計数値 C N T が比較値 C に達すると、比較器の出力がハイレベルに変化し、さらに、比較段数カウンタ 9 0 4 の計数値が「1」増加する。段数比較器 9 0 6 は、比較段数カウンタ 9 0 4 の計数値を、段数 F と比較する。そして、段数比較器 9 0 6 は、計数値が段数 F に達すると、信号 S d をハイレベルにする。

【 0 0 8 2 】

送信間隔カウンタ 9 0 1 は、第 1 の実施の形態と同様、信号 S d がハイレベルの間は計数動作を停止する。そして、送信間隔カウンタ 9 0 1 は、次のパケット同期信号 P S Y N C を入力したときに、計数値 C N T をリセットする。また、このとき、比較段数カウンタ 9 0 4 もリセットされる。

【 0 0 8 3 】

第 1 の実施の形態と同様、スレーブの動作周波数がマスタの動作周波数よりも高い場合には、次のパケット同期信号 P S Y N C が入力される前に、比較器 9 0 3 の出力がハイレベルになる。したがって、この場合、段数比較器 9 0 6 の出力信号 S d は、F 個のパケット同期信号 P S Y N C の入力周期毎に、ハイレベルになる。そして、信号 S d がハイレベルになる度に、転送クロック生成部 9 0 7 が転送クロック P C M C L K のローレベル期間を補正する。

【 0 0 8 4 】

一方、スレーブの動作周波数がマスタの動作周波数よりも低い場合、信号 S d がハイレベルになることはない。この場合、転送クロック生成部 9 0 7 は、第 1 の実施の形態と同様、パケット同期信号 P S Y N C を入力する度に（すなわち C  $\mu$  s に 1 回の比率で）、転送クロックのクロック幅を補正する。

【 0 0 8 5 】

以上説明したように、この実施の形態に係る同期補正回路によれば、パケット同期信号 P S Y N C の周期すなわちマスタからのパケットの受信周期と同期するように、転送クロック P C M C L K および転送同期信号 P C M S Y N C の周期を補正することができる。したがって、この実施の形態によれば、ブルートゥースで通信する音声データの音質を向上させることができる。

#### 【 0 0 8 6 】

また、この実施の形態に係る同期補正回路は、比較器が 2 個であるので、第 1 の実施の形態に係る同期補正回路よりも消費電力が少ない。

#### 【 0 0 8 7 】

その一方で、同期ずれを補正する頻度を任意に設定することができ、したがって、補正できる同期ずれの範囲が、第 2 の実施の形態に係る同期補正回路よりも大きい。

#### 【 0 0 8 8 】

### 第 4 の実施の形態

次に、この発明の第 4 の実施の形態に係る同期補正回路について、図 1 0 および図 1 1 を用いて説明する。

#### 【 0 0 8 9 】

図 1 0 は、この実施の形態に係る音声データ処理回路の構成を示すブロック図である。図 1 0 において、図 8 と同じ符号を付した構成要素は、それぞれ、図 8 の場合と同じものを示している。

#### 【 0 0 9 0 】

この実施の形態に係る音声データ処理回路 1 0 0 0 は、インタフェース制御部 1 0 1 0 が割り込み信号 B R K を生成・出力する点で、第 3 の実施の形態に係る音声データ処理回路 8 0 0 と異なる。割り込み信号 B R K は、スレーブの動作周波数がマスタの動作周波数よりも高い場合に、転送クロック P C M C L K の補正が実行される度に出力される。この割り込み信号 B R K は、バス 1 4 0 を介して、C P U 1 5 0 に送られる。

#### 【 0 0 9 1 】

図 1 1 は、インタフェース制御部 1 0 1 0 の要部構成を示すブロック図である



。図 1 1 において、図 9 と同じ符号を付した構成要素は、それぞれ、図 9 の場合と同じものを示している。すなわち、この実施の形態に係るインタフェース制御部 1 0 1 0 の内部構造は、段数比較器 9 0 6 の出力を割り込み信号 B R K としてバス 1 4 0 に出力する構造を有する点を除いて、図 9 のインタフェース制御部 8 1 0 と同じである。

#### 【 0 0 9 2 】

この実施の形態によれば、C P U 1 5 0 は、割り込み信号 B R K を受信することにより、スレーブの動作周波数がマスタの動作周波数よりも高いことを検出できる。一方、割り込み信号 B R K が受信されない場合には、スレーブの動作周波数がマスタの動作周波数と一致するか或いはマスタの動作周波数よりも低いことを検出できる。これにより、C P U 1 5 0 は、例えば、この割り込み信号 B R K を用いて、システムクロックの周波数を調整することができる。

#### 【 0 0 9 3 】

すなわち、この実施の形態に係る同期補正回路は、第 3 の実施の形態と同様の同期補正に加えて、システムクロックの周期を補正することによる同期補正を行うことができる。したがって、この実施の形態によれば、転送クロック P C M C L K および転送同期信号 P C M S Y N C の周期を、より高精度に補正することができる。

#### 【 0 0 9 4 】

加えて、システムクロックを補正することにより、音声データ処理回路 1 0 0 0 内に設けられた他の回路の動作を補正することが容易になる。

#### 【 0 0 9 5 】

### 第 5 の実施の形態

以下、この発明の第 5 の実施の形態について、図 1 2 および図 1 3 を用いて説明する。

#### 【 0 0 9 6 】

図 1 2 は、この実施の形態に係る音声データ処理回路の構成を示すブロック図である。図 1 2 において、図 1 0 と同じ符号を付した構成要素は、それぞれ、図 1 0 の場合と同じものを示している。

## 【 0 0 9 7 】

CPU 1 2 1 0 は、第 4 の実施の形態と同様にしてインタフェース制御部 1 2 2 0 から割り込み信号 B R K を順次入力し、最初の所定数の割り込み信号 B R K から、マスタによってパケットが送信された間隔の平均値 A R G を算出し、出力する。

## 【 0 0 9 8 】

インタフェース制御部 1 2 2 0 は、CPU 1 2 1 0 から入力した平均値 A R G を、内部に格納する。インタフェース制御部 1 2 2 0 は、その後の同期補正で、比較値 C に代えて平均値 A R G を使用する。

## 【 0 0 9 9 】

図 1 3 は、インタフェース制御部 1 2 2 0 の要部構成を示すブロック図である。図 1 3 において、図 1 1 と同じ符号を付した構成要素は、それぞれ、図 1 1 の場合と同じものを示している。すなわち、この実施の形態に係るインタフェース制御部 1 2 2 0 は、平均値記憶回路 1 3 0 1 とセレクトア 1 3 0 2 とを備えている点で、図 1 1 のインタフェース制御部 1 0 1 0 と異なる。

## 【 0 1 0 0 】

平均値記憶回路 1 3 0 1 は、CPU 1 2 1 0 から入力された平均値 A R G を記憶する。

## 【 0 1 0 1 】

セレクトア 1 3 0 2 は、平均値記憶回路 1 3 0 1 に平均値 A R G が格納される前は比較値レジスタ 9 0 2 の出力を選択して送信間隔比較器 9 0 3 に送り、平均値記憶回路 1 3 0 1 に平均値 A R G が格納された後は平均値記憶回路 1 3 0 1 の出力を選択して送信間隔比較器 9 0 3 に送る。

## 【 0 1 0 2 】

なお、図 1 3 に示したように、平均値記憶回路 1 3 0 1 が送信間隔カウンタ 9 0 1 の計数值 C N T を順次取り込んで、平均値 A R G を計算することとしてもよい。

## 【 0 1 0 3 】

この実施の形態では、まず、音声データ処理回路 1 2 0 0 の初期設定として、

比較値Cおよび段数FがCPU1210から入力され、レジスタ902, 905に格納される。そして、送信間隔カウンタ901の計数が開始されると、送信間隔比較器903は、計数値CNTと比較値Cとを順次比較する。そして、第3、第4の実施の形態と同様にして、比較段数カウンタ904による計数動作と、段数比較器906による比較動作が繰り返される。また、第3、第4の各実施の形態と同様にして、転送クロック生成部907が、同期補正された転送クロックPCMCLKを生成する。転送同期信号生成部908は、この転送クロックPCMCLKから、転送同期信号PCMSYNCを生成する。

## 【0104】

スレーブの動作周波数がマスタの動作周波数よりも高い場合には、第3、第4の実施の形態と同様、段数比較器906の出力信号SdはF個の packets 同期信号PSYNCの入力周期毎に、ハイレベルになる。この信号Sdは、割り込み信号BRKとして、CPU1210に入力される。

## 【0105】

CPU1210は、上述したように、所定数の割り込み信号BRKから、パケット送信間隔の平均値ARGを算出する。そして、CPU1210は、この平均値ARGを、インタフェース制御部1220に送る。

## 【0106】

インタフェース制御部1220は、CPU1210から入力した平均値ARGを、平均値記憶回路1301に格納する。このとき、例えばCPU1210等の制御により、セクタ1302の選択が、平均値記憶回路1301に切り換えられる。

## 【0107】

その後、送信間隔比較器903は、計数値CNTと平均値ARGとを順次比較し、これらの値CNT, ARGが一致しないときはローレベルを出力し、一致したときはハイレベルを出力する。比較段数カウンタ904、段数比較器906、転送クロック生成部907および転送同期信号生成部908の動作は、比較値Cが使用されているときの動作と同じである。

## 【0108】

以上説明したように、この実施の形態に係る同期補正回路によれば、パケット同期信号 P S Y N C の周期すなわちマスタからのパケットの受信周期と同期するように、転送クロック P C M C L K および転送同期信号 P C M S Y N C の周期を補正することができる。したがって、この実施の形態によれば、ブルートゥースで通信する音声データの音質を向上させることができる。

#### 【0109】

また、この実施の形態によれば、最初の所定回数のみ比較値 C を使用し、その後は平均値 A R G を使用することとしたので、段数比較器 9 0 6 が信号 S d , B R K を出力する頻度や送信間隔カウンタ 9 0 1 が計数を停止する頻度などを減らすことができ、これにより、インタフェース制御部 1 2 2 0 の消費電力を低減することができる。

#### 【0110】

なお、以上の実施例では、この発明に係る同期補正回路をブルートゥース用の音声データ処理回路に適用した場合を例に採って説明したが、この発明は、通信パケットを扱うデータ処理回路であれば、他の種類のデータ処理回路の同期補正回路にも適用することができる。

#### 【0111】

##### 【発明の効果】

以上詳細に説明したように、本発明に係る同期補正回路によれば、マスタ／スレーブ間の同期ずれを補正することができる。

##### 【図面の簡単な説明】

#### 【図1】

第1の実施の形態に係る同期補正回路の構成を示すブロック図である。

#### 【図2】

図1のインタフェース制御部の内部構造を示す回路図である。

#### 【図3】

第1の実施の形態に係る同期補正回路の動作を示すタイミングチャートである。

#### 【図4】

第 1 の実施の形態に係る同期補正回路の動作を示すタイミングチャートである

【図 5】

第 1 の実施の形態に係る同期補正回路の動作を示すタイミングチャートである

【図 6】

第 2 の実施の形態に係る同期補正回路の構成を示すブロック図である。

【図 7】

図 6 のインタフェース制御部の内部構造を示す回路図である。

【図 8】

第 3 の実施の形態に係る同期補正回路の構成を示すブロック図である。

【図 9】

図 8 のインタフェース制御部の内部構造を示す回路図である。

【図 1 0】

第 4 の実施の形態に係る同期補正回路の構成を示すブロック図である。

【図 1 1】

図 1 0 のインタフェース制御部の内部構造を示す回路図である。

【図 1 2】

第 5 の実施の形態に係る同期補正回路の構成を示すブロック図である。

【図 1 3】

図 1 2 のインタフェース制御部の内部構造を示す回路図である。

【図 1 4】

音声データの packets 構造を示す概念図である。

【図 1 5】

音声データの通信方式を説明するための概念図である。

【図 1 6】

従来の音声データ処理回路の構成を示すブロック図である。

【図 1 7】

従来の音声データ処理回路の動作を示すタイミングチャートである。

【図 1 8】

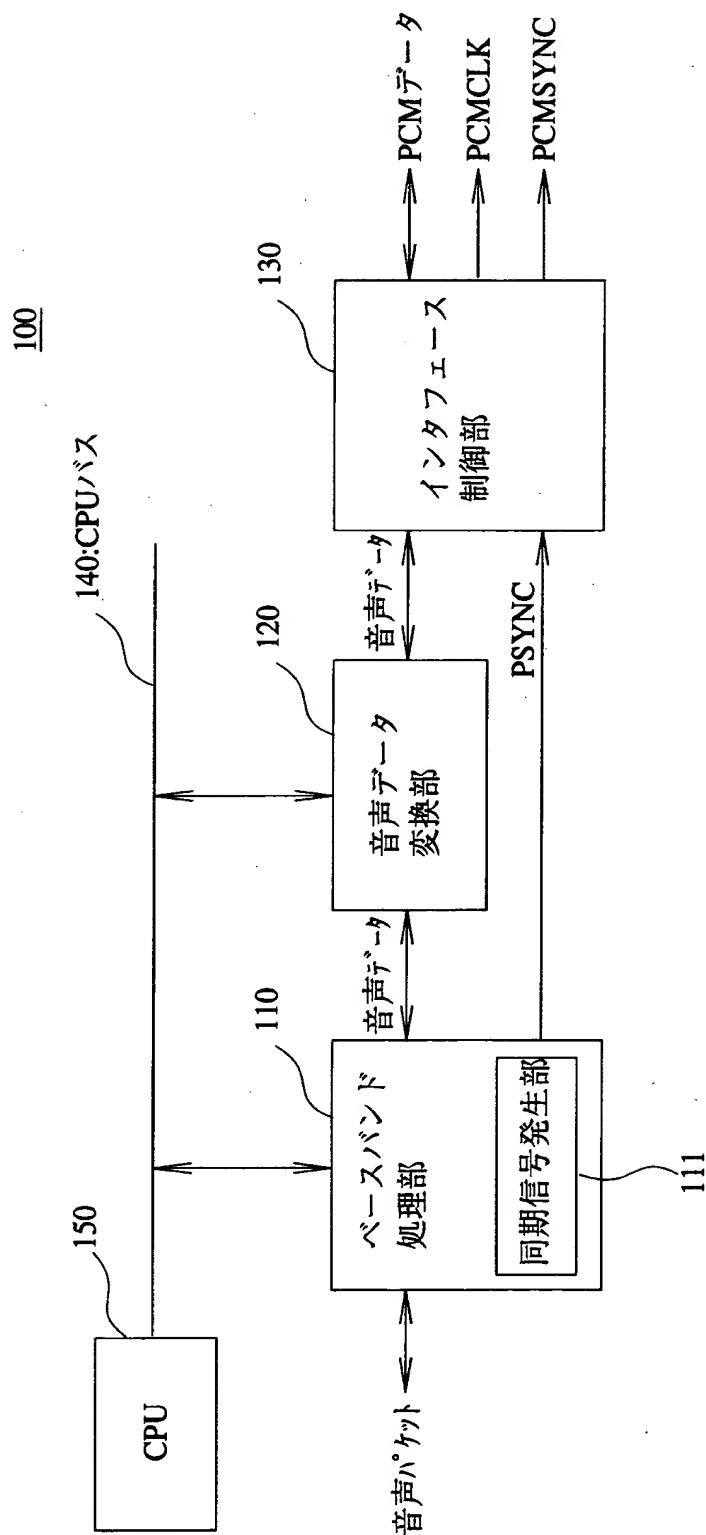
従来の音声データ処理回路の動作を示すタイミングチャートである。

【符号の説明】

- 1 0 0 音声データ処理回路
- 1 1 0 ベースバンド処理部
- 1 2 0 音声データ変換部
- 1 3 0 インタフェース制御部
- 2 0 1 送信間隔カウンタ
- 2 0 2, 2 0 3, 2 0 4 比較器
- 2 0 5 タイプセクタ
- 2 0 6 転送クロック生成部
- 2 0 7 転送同期信号生成部

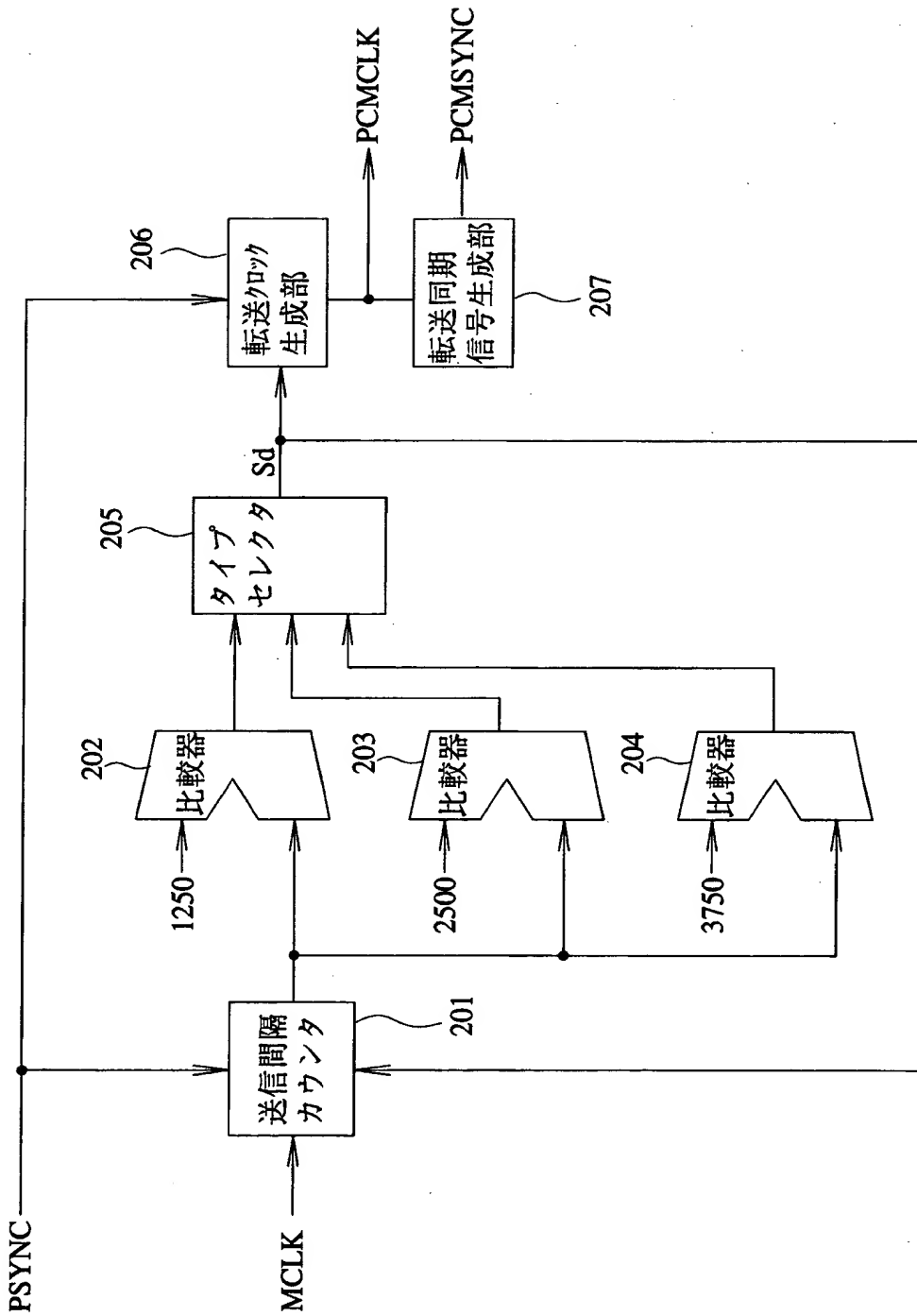
【書類名】 図面

【図 1】



第 1 の実施の形態の構成

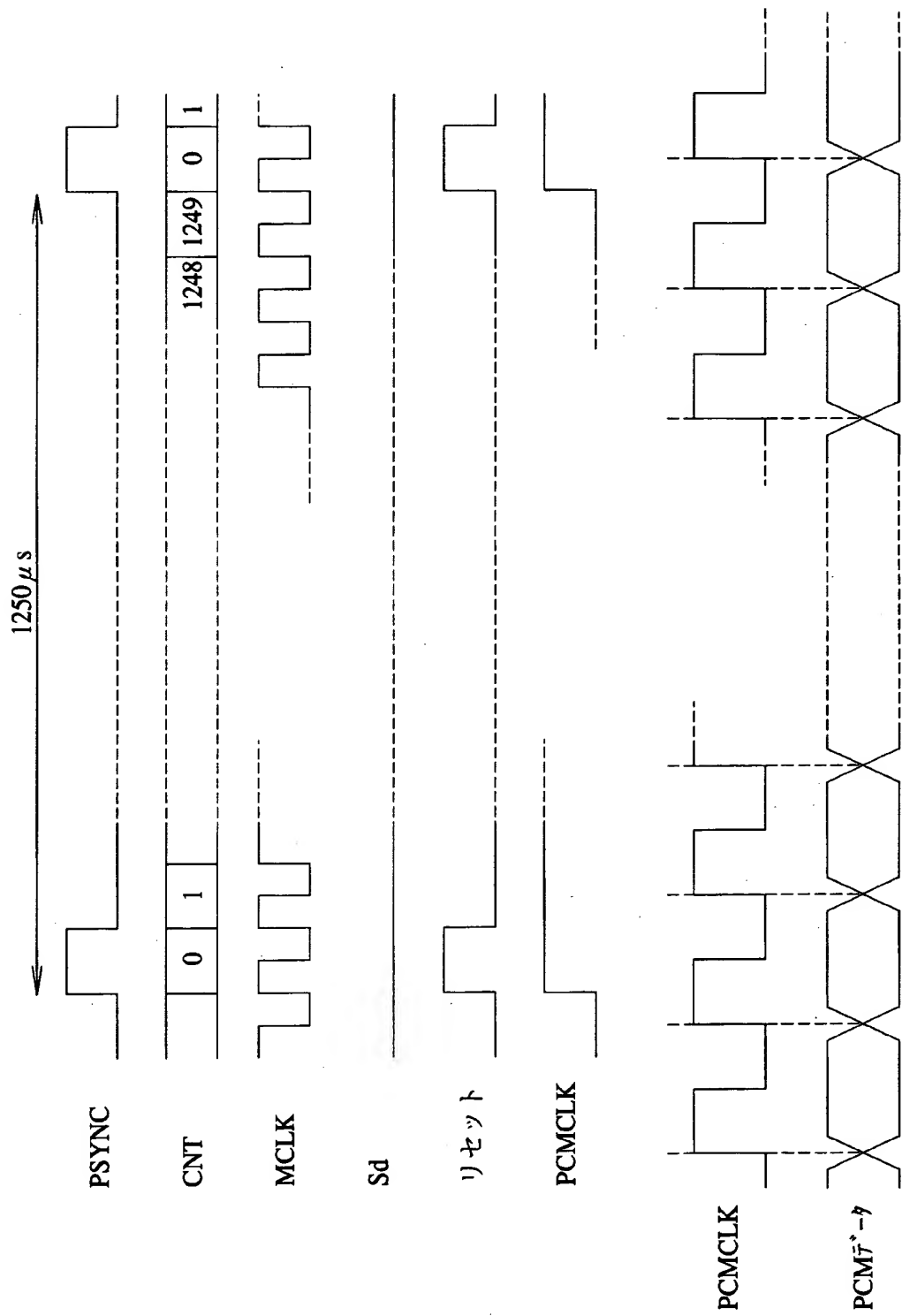
【図 2】



第 1 の実施の形態のインタフェース制御部

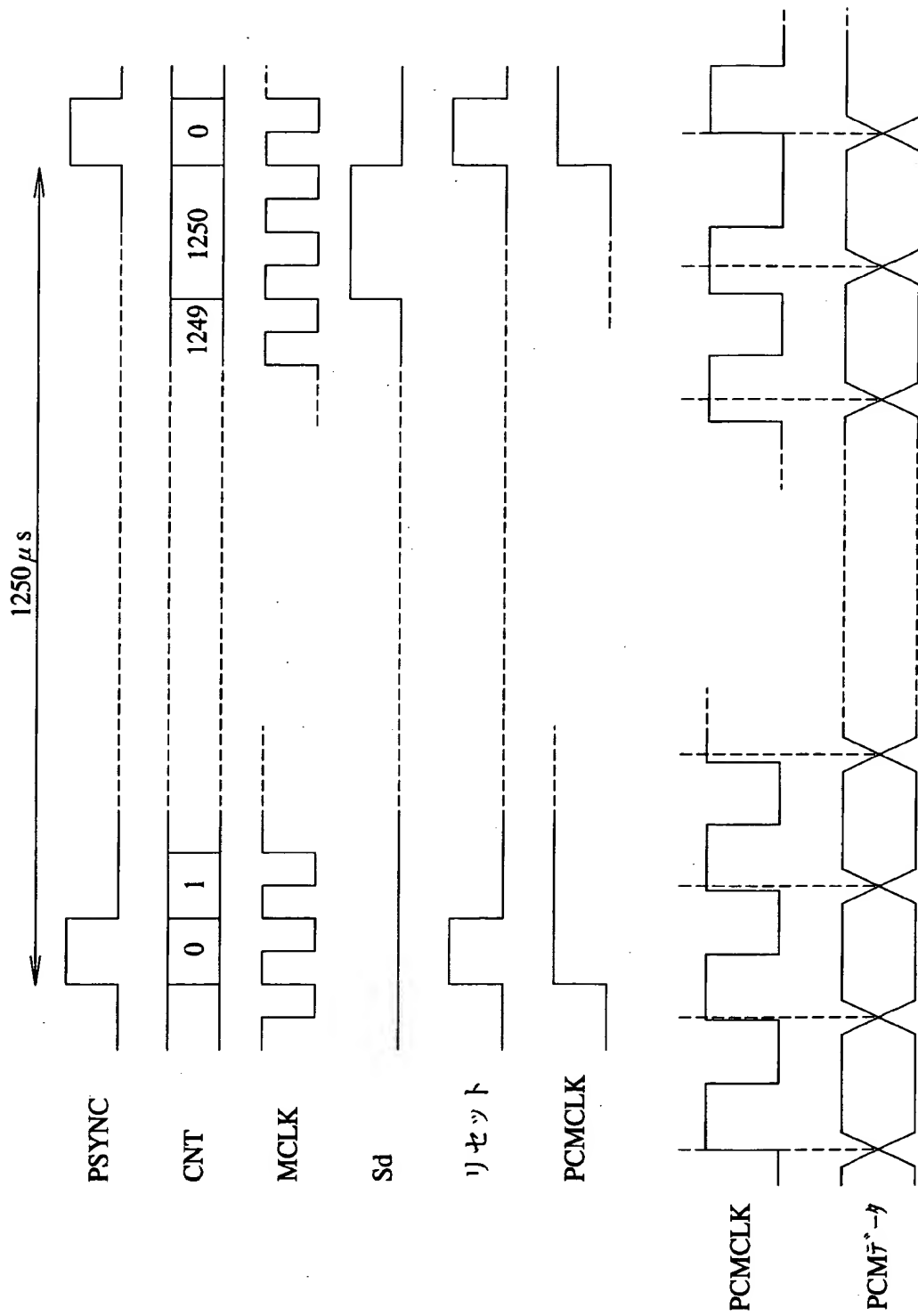


【図 3】



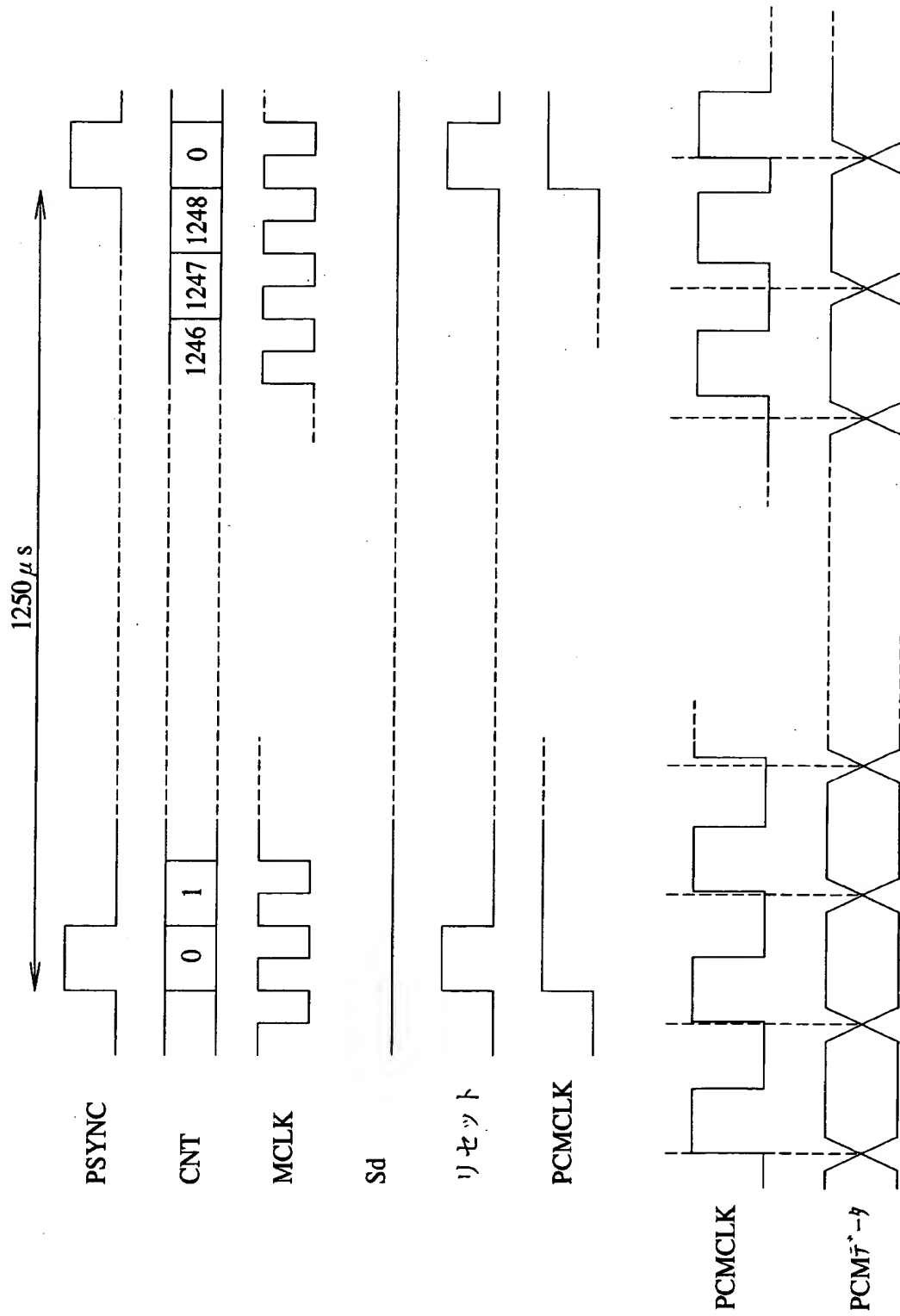
第 1 の実施の形態の動作 (その 1)

【図 4】



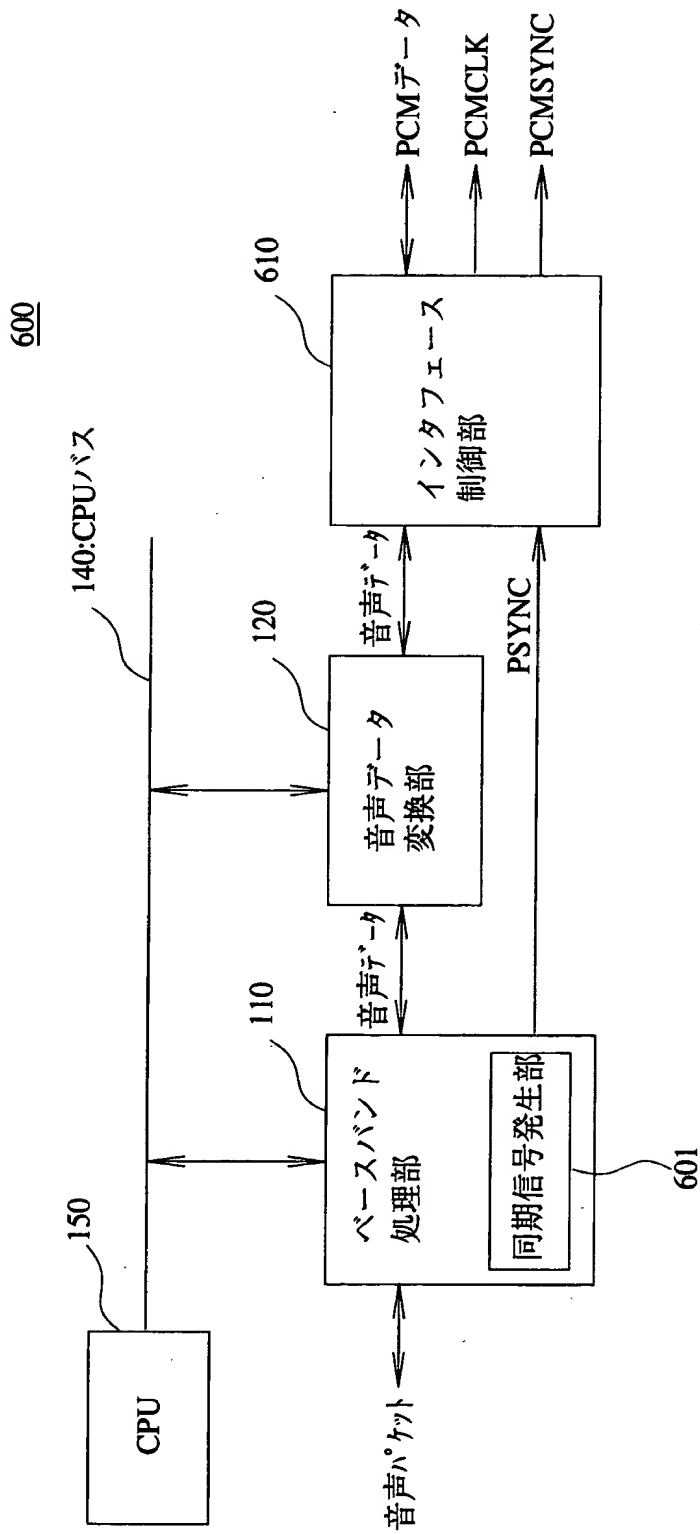
第1の実施の形態の動作 (その2)

【図 5】



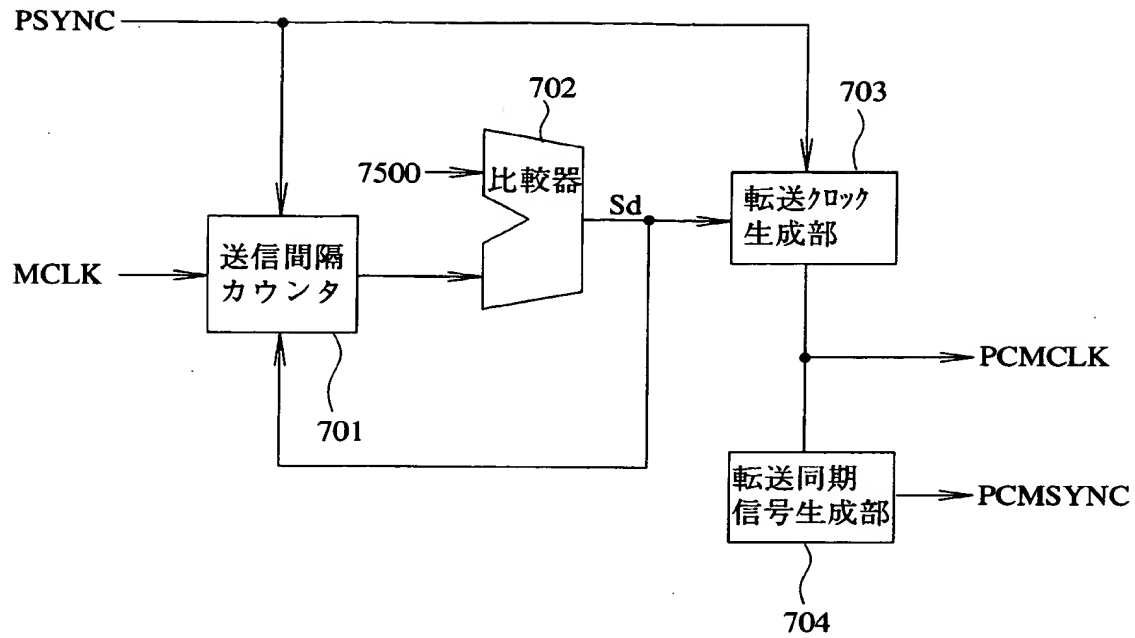
第1の実施の形態の動作 (その3)

【図 6】



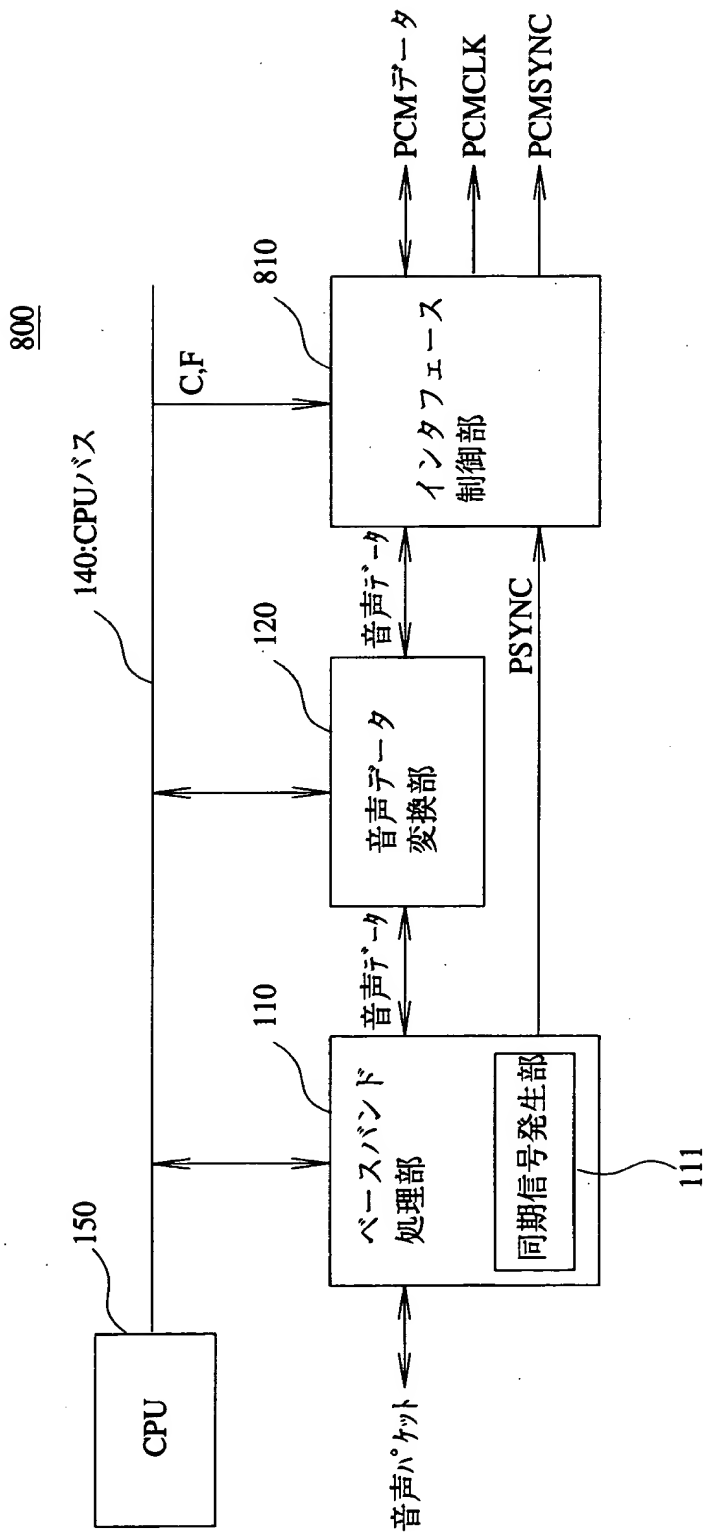
第 2 の実施の形態の構成

【図 7】



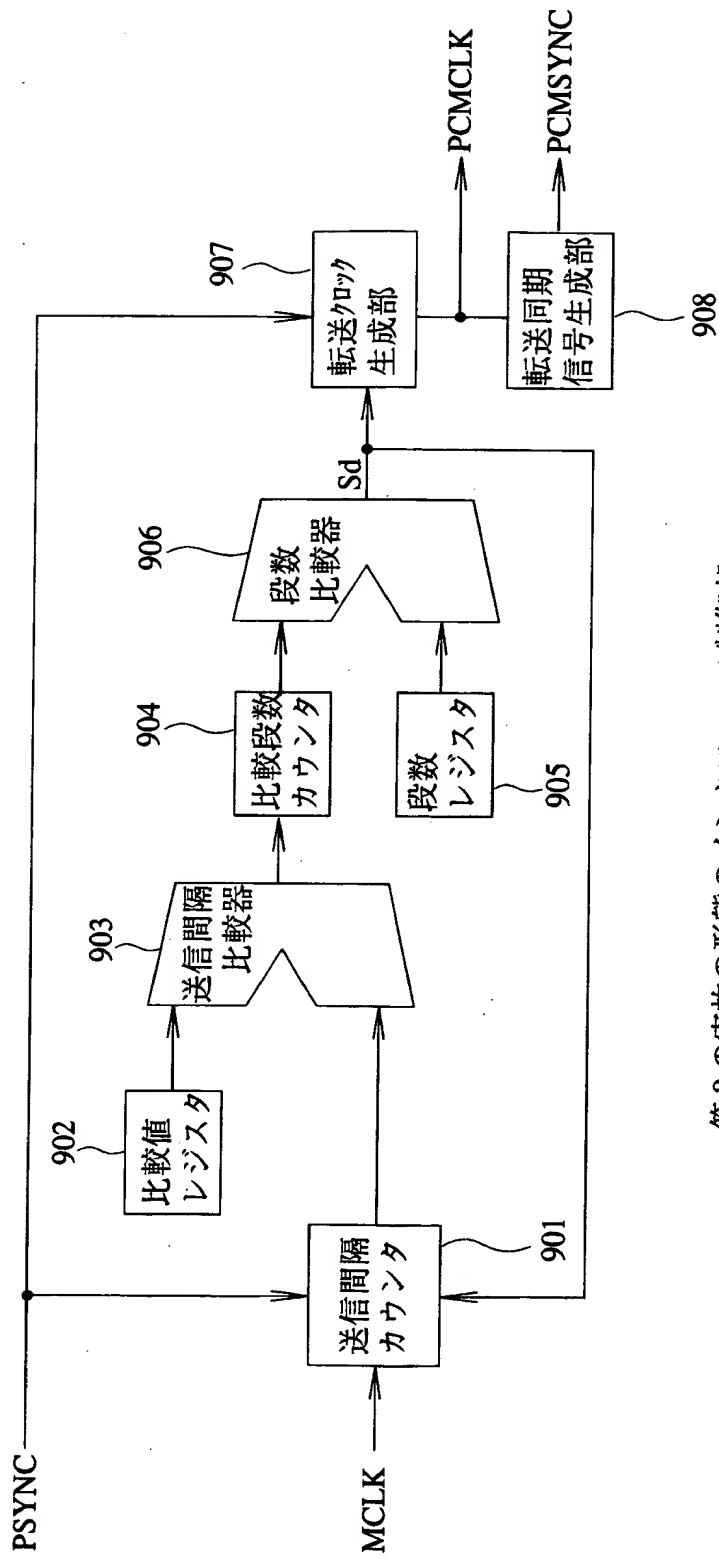
第 2 の実施の形態のインタフェース制御部

【図 8】



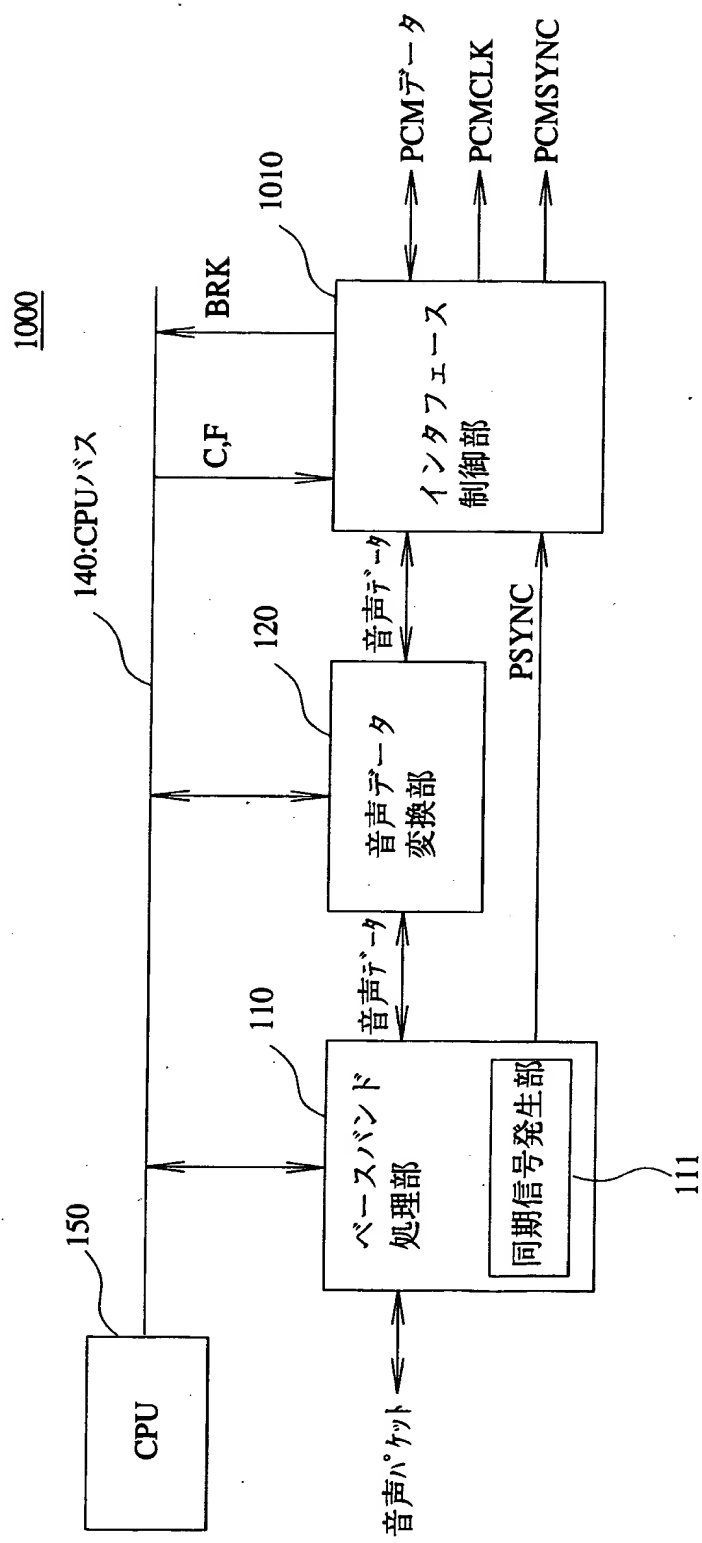
第3の実施の形態の構成

【図 9】



第3の実施の形態のインタフェース制御部

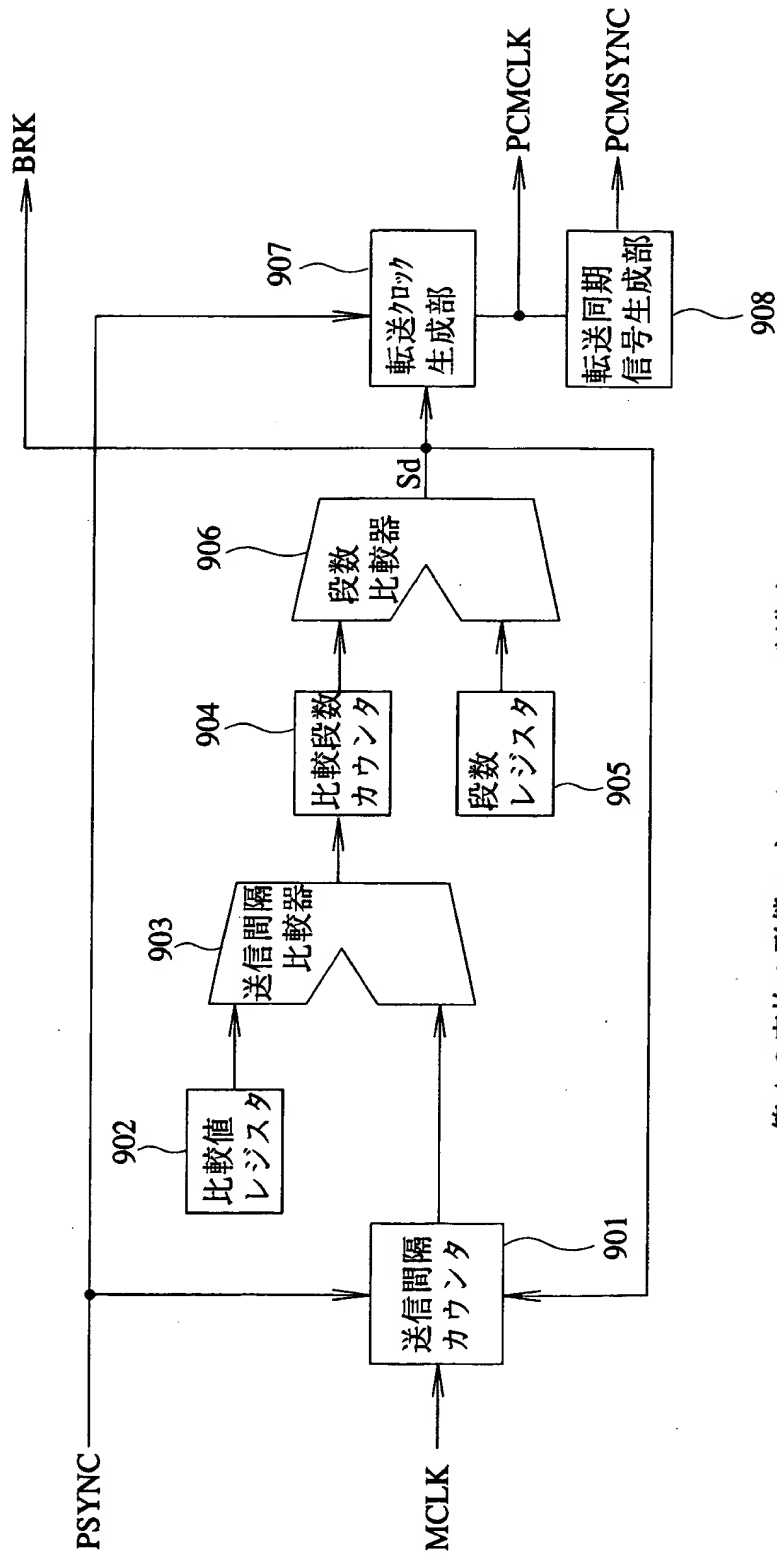
【図10】



第4の実施の形態の構成

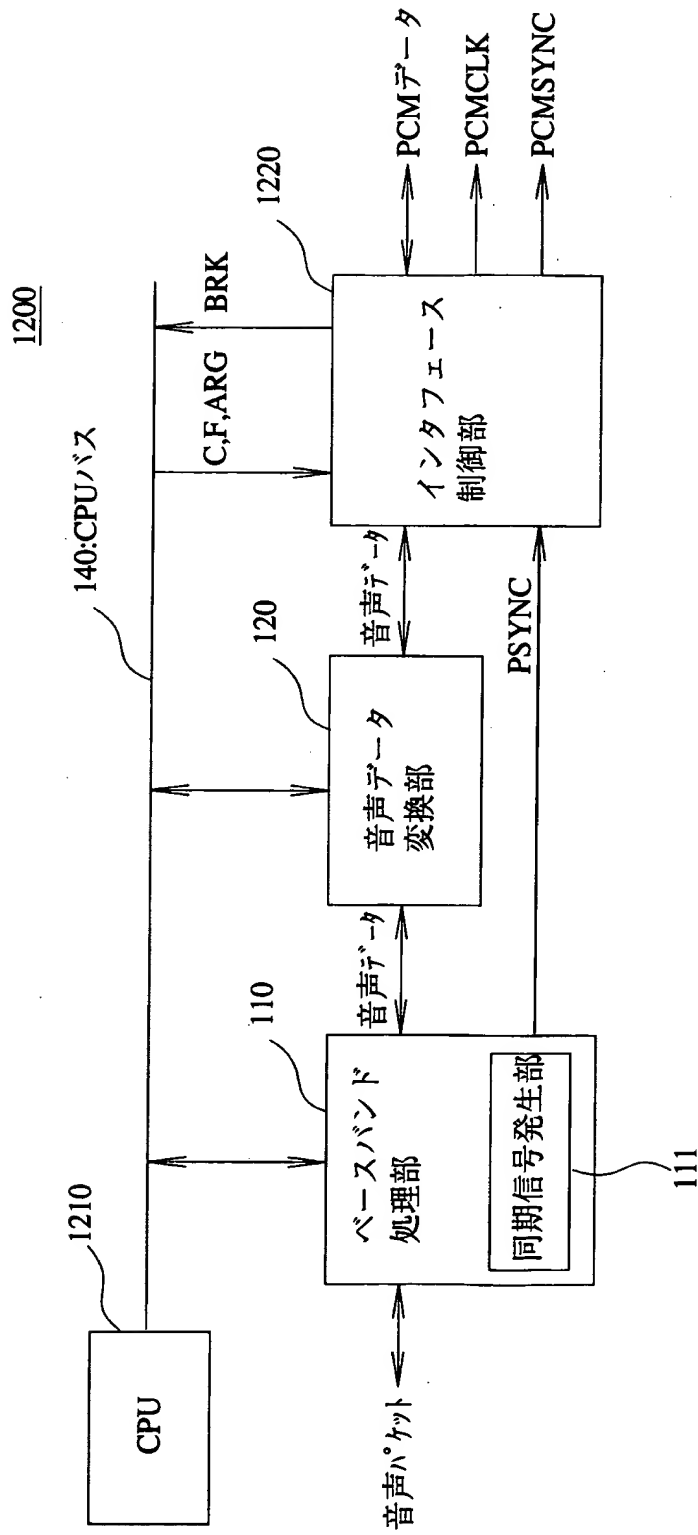


【図 11】



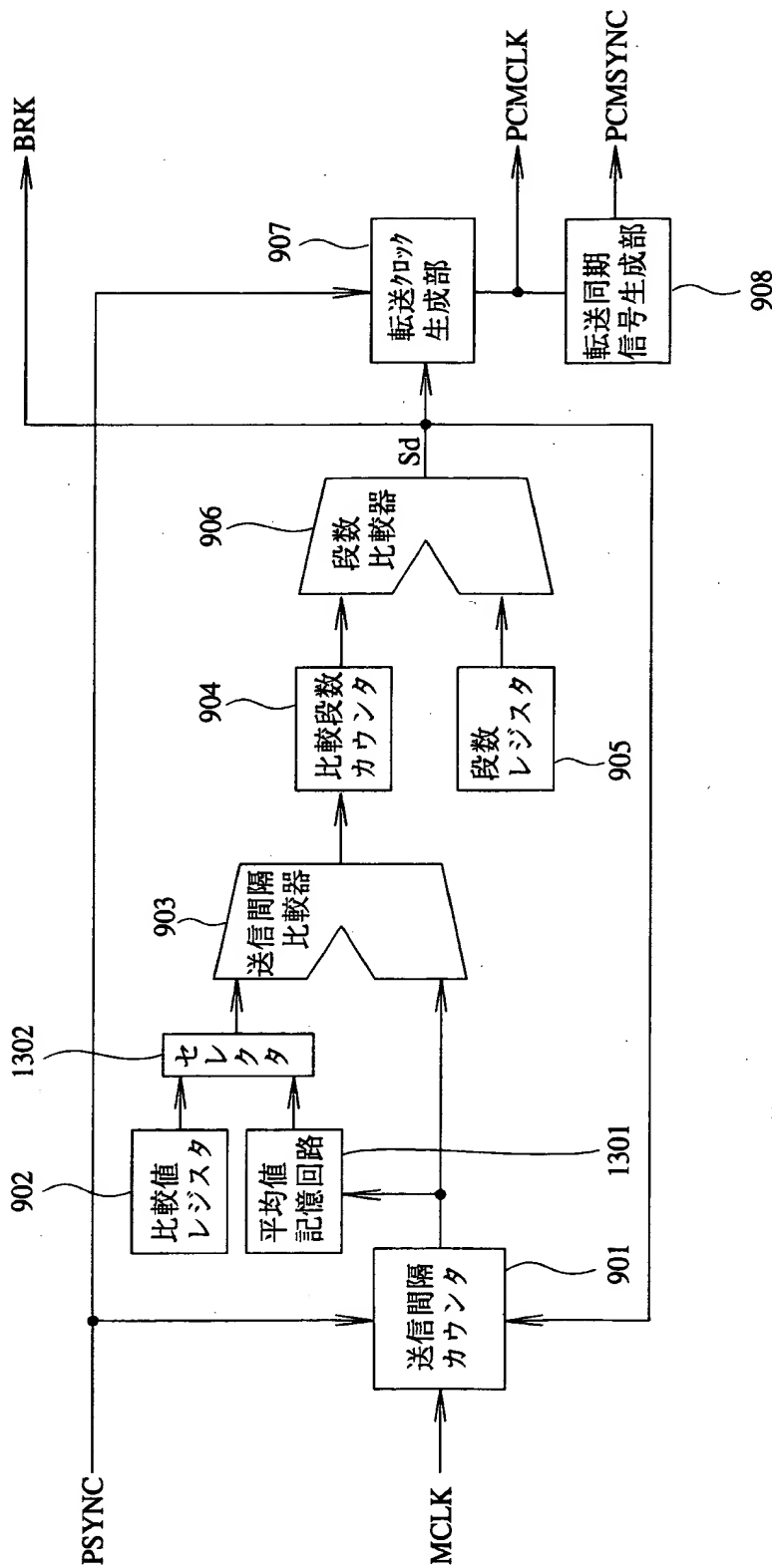
第4の実施の形態のインタフェース制御部

【図 12】



第5の実施の形態の構成

【図 13】



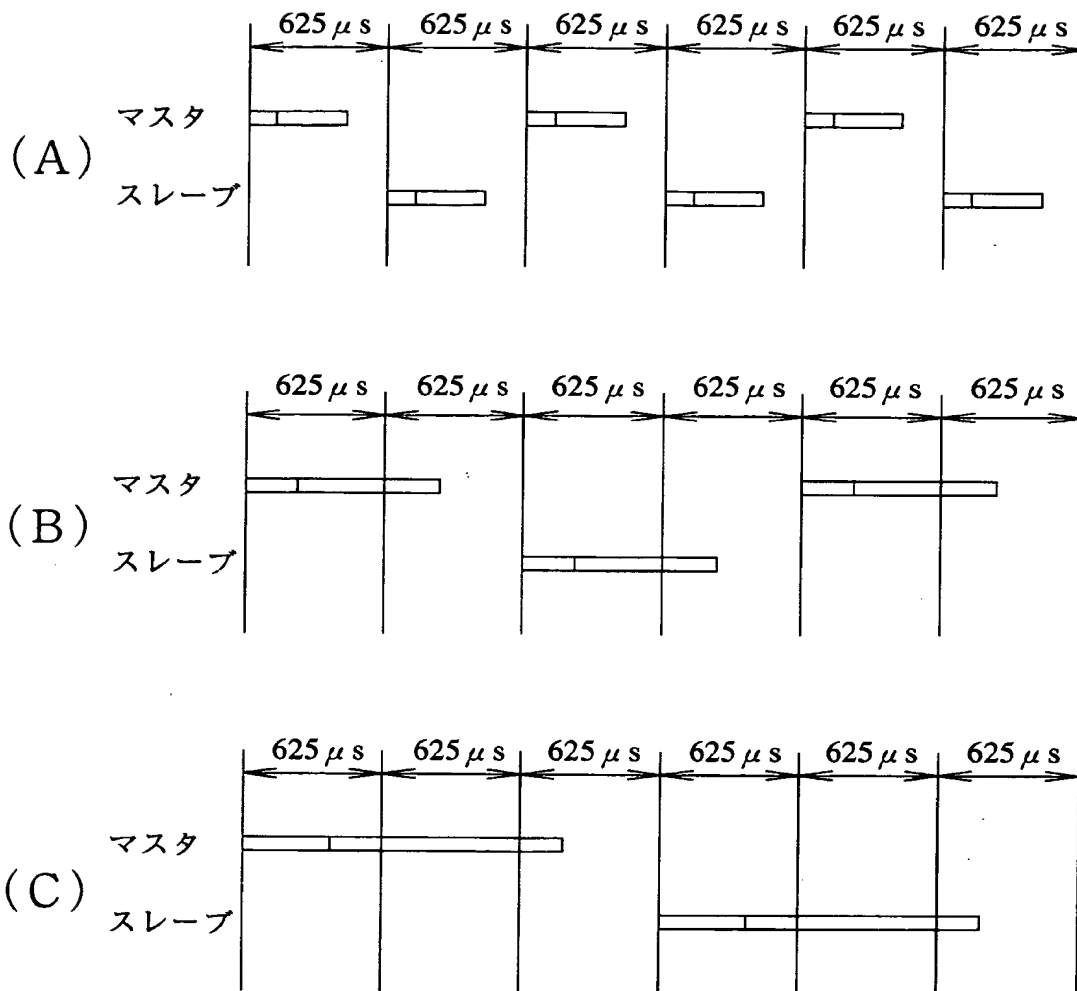
第5の実施の形態のインタフェース制御部

【図 1 4】

同期語	ペイロード部
-----	--------

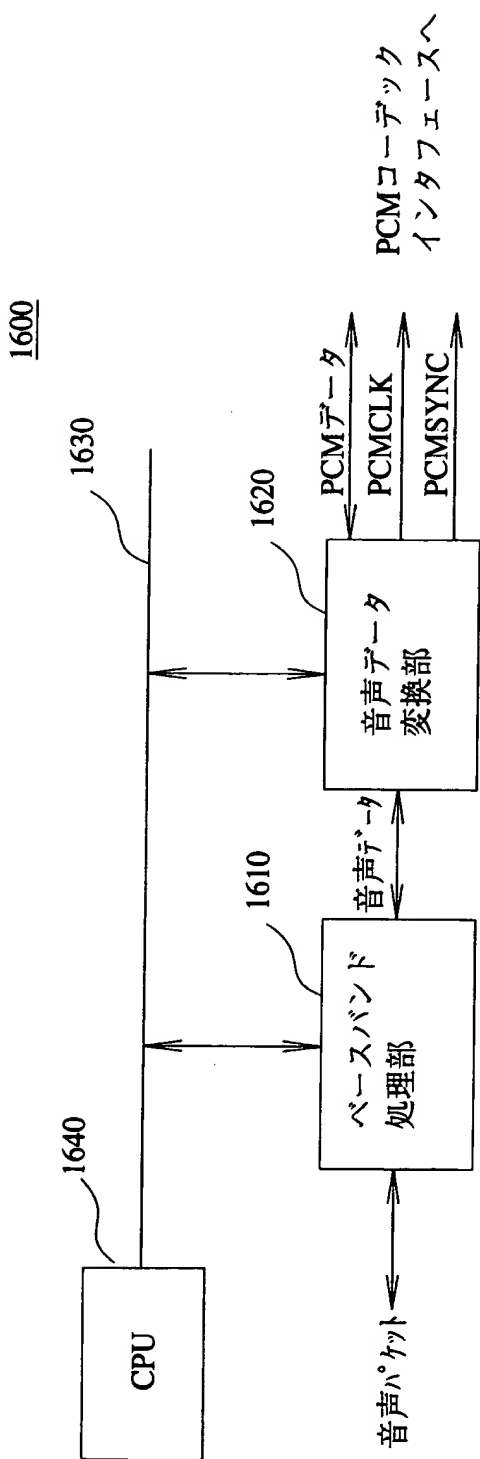
従来技術（その 1）

【図 1 5】



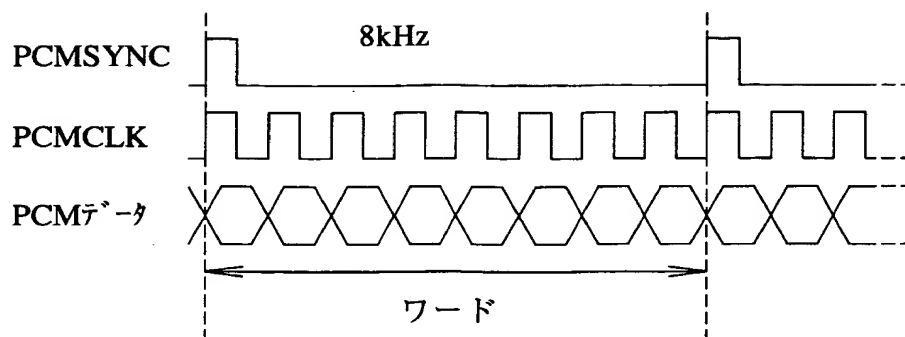
従来技術 (その 2)

【図 16】



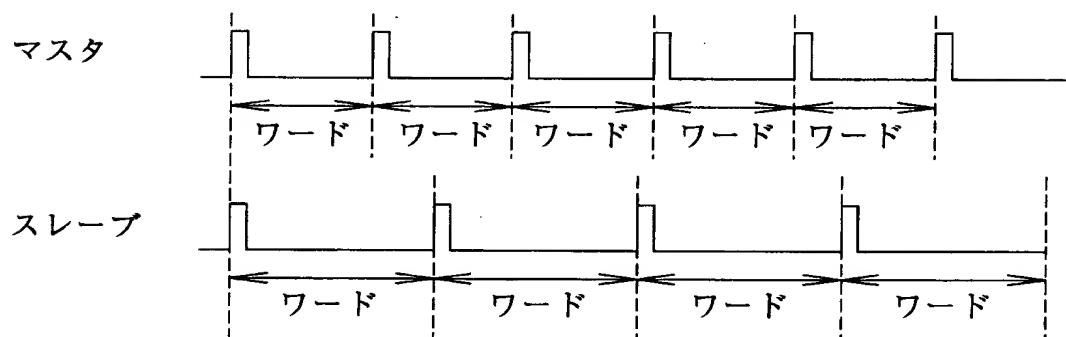
従来技術 (その3)

【図 17】



従来技術（その4）

【図 18】



従来技術（その5）

【書類名】 要約書

【要約】

【課題】 マスタ／スレーブ間の同期ずれをスレーブ側で補正する同期補正回路を提供する。

【解決手段】 同期信号発生部 1 1 1 は、マスタから受信したパケットの周期に同期するように、パケット同期信号 P S Y N C を生成する。インタフェース制御部 1 3 0 は、パケット内のデータ転送に使用される転送クロック P C M C L K を、内部クロックから生成する。インタフェース制御部 1 3 0 は、パケット同期信号 P S Y N C の周期を測定し、パケット同期信号の実際の周期が設定値よりも長い場合はパケットの最後のデータに対応する転送クロックの周期を他のデータに対応する転送クロックの周期よりも長くし、また、パケット同期信号の実際の周期が設定値よりも短い場合はパケットの最後のデータに対応する転送クロックの周期を他のパケットデータに対応する転送クロックの周期よりも短くする。

【選択図】 図 1



認定・付加情報

特許出願の番号	特願 2001-050135
受付番号	50100264173
書類名	特許願
担当官	第八担当上席 0097
作成日	平成13年 2月27日

<認定情報・付加情報>

【提出日】	平成13年 2月26日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社